

? t/5

(10)

1/5/1

DIALOG(R) File 347:JAPIO

(c) 1999 JPO & JAPIO. All rts. reserv.

05501722 **Image available**

MATCHED FILTER CIRCUIT FOR SPREAD SPECTRUM COMMUNICATION

PUB. NO.: 09-116522 [JP 9116522 A]

PUBLISHED: May 02, 1997 (19970502)

INVENTOR(s): KOTOBUKI KOKURIYOU

SHU NAGAAKI

YAMAMOTO MAKOTO

SAWAHASHI MAMORU

ADACHI FUMIYUKI

TAKATORI SUNAO

APPLICANT(s): N T T IDO TSUSHINMO KK [000000] (A Japanese Company or Corporation), JP (Japan)
YOZAN KK [000000] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 07-297602 [JP 95297602]

FILED: October 20, 1995 (19951020)

INTL CLASS: [6] H04J-013/00

JAPIO CLASS: 44.2 (COMMUNICATION -- Transmission Systems)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

ABSTRACT

PROBLEM TO BE SOLVED: To cope with a long code via the circuit of a small scale.

SOLUTION: The sample-and-hold circuits are prepared only in the number equal to some of long codes for execution of the multiplication. The multipliers are inputted in parallel to the sample-and-hold circuits from a 1st multiplier register MREG1 which can hold the PN codes in the number equal to the sample-and-hold circuits. When the PN codes which are used after the preceding ones exist, these codes are stored in the MREG2 of the same capacity as the MREG1. Then the PN codes of the MREG2 are transferred in parallel to the MREG1 in the prescribed timing. The PN codes are inputted in series to the MREG2.

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-116522

(43) 公開日 平成9年(1997)5月2日

(51) Int.Cl.
H 0 4 J 13/00

識別記号 庁内整理番号

F I
H 0 4 J 13/00

技術表示箇所

審査請求 未請求 請求項の数11 F D (全 8 頁)

(21) 出願番号 特願平7-297602

(22) 出願日 平成7年(1995)10月20日

(71) 出願人 392026693

エヌ・ティ・ティ移動通信網株式会社
東京都港区虎ノ門二丁目10番1号

(71) 出願人 390010515

株式会社鷹山
東京都世田谷区北沢3-5-18 鷹山ビル

(72) 発明者 寿 国梁

東京都世田谷区北沢3-5-18 鷹山ビル
株式会社鷹山内

(72) 発明者 周 長明

東京都世田谷区北沢3-5-18 鷹山ビル
株式会社鷹山内

(74) 代理人 弁理士 山本 誠

最終頁に続く

(54) 【発明の名称】 スペクトラム拡散通信のためのマッチドフィルタ回路

(57)

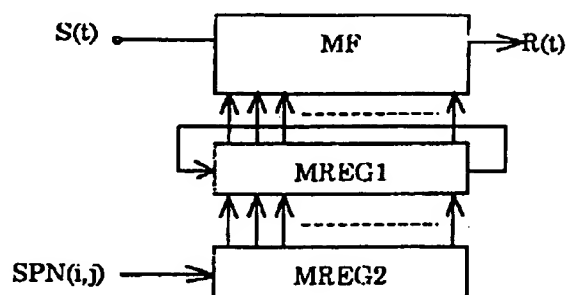
【要約】

【目的】

ロングコードに対して小規模回路で対応し得るマッチドフィルタ回路を提供することを目的とする。

【構成】

乗算のためのサンプルホールド回路をロングコードの1部の個数だけ設け、この個数に等しいPN符号を保持し得る第1乗数レジスタから並列にサンプルホールド回路に乗数入力を行い、このPN符号に続いて使用するPN符号があるときには、そのPN符号を、第1乗数レジスタと同一容量の第2乗数レジスタに格納し、所定のタイミングで第2乗数レジスタのPN符号を第1乗数レジスタに並列転送するものである。そして第2乗数レジスタへのPN符号入力はシリアルに行われる。



【特許請求の範囲】

【請求項1】

入力電圧に接続されたスイッチと、このスイッチの出力に接続された第1キャパシタンスと、この第1キャパシタンスの出力に接続された奇数段のMOSインバータよりなる第1反転増幅部と、この第1反転増幅部の出力を入力に接続する第1帰還キャパシタンスと、前記第1反転増幅部の出力または基準電圧を択一的に出力する第1マルチプレクサおよび第2マルチプレクサとを備えたサンプル・ホールド回路と；各サンプル・ホールド回路の第1マルチプレクサの出力が接続された複数の第2キャパシタンスと、これら第2キャパシタンスの出力が統合されつつ接続された奇数段のMOSインバータよりなる第2反転増幅部と、この第2反転増幅部の出力を入力に接続する第2帰還キャパシタンスとを有する第1加算部と；各サンプル・ホールド回路の第2マルチプレクサの出力および第1加算部の出力が接続された複数の第3キャパシタンスと、これら第3キャパシタンスの出力が統合されつつ接続された奇数段のMOSインバータよりなる第3反転増幅部と、この第3反転増幅部の出力を入力に接続する第3帰還キャパシタンスとを有する第2加算部と；前記第1加算部の出力から第2加算部の出力を減ずる減算部と；前記サンプル・ホールド回路のうちいずれか1個における前記スイッチを閉成するとともに他のスイッチを開放しかつ所定の組合せで各サンプル・ホールド回路の第1、第2マルチプレクサを切換えるコントロール回路と；を備えたスペクトラム拡散通信のためのマッチドフィルタ回路において、前記サンプル・ホールド回路の個数に等しいPN符号を保持しつつそのPN符号を並列に前記コントロール回路に入力し、かつ1回の演算ごとに保持されたPN符号を循環的にシフトする第1乗数レジスタと、この第1乗数レジスタの各データエリアに並列に接続されたデータエリアを有しかつPN符号をシリアル入力し得る第2乗数レジスタとを備え、第2乗数レジスタのPN符号は適時第1乗数レジスタの対応データエリアに転送されることを特徴とするマッチドフィルタ回路。

【請求項2】

第2乗数レジスタから第1乗数レジスタへのPN符号転送はマッチドフィルタの1周期の演算の終了直後に実行されることを特徴とする請求項1記載のマッチドフィルタ回路。

【請求項3】

第2乗数レジスタから第1乗数レジスタへの転送信号を、マッチドフィルタの1周期の終了直後には常に生成しておき、転送を行わないときはこの転送信号をマスクし、転送を行うときにのみこのマスクを除去することを特徴とする請求項2記載のマッチドフィルタ回路。

【請求項4】

第2乗数レジスタへのPN符号のシリアル入力はマッチドフィルタのサンプリングクロックに同期して行われることを特徴とする請求項1記載のマッチ

【請求項5】

サンプル・ホールド回路を複数のグループにグループ分けし、各グループについて、第1マルチプレクサの出力が接続された第4加算部を設け、第2マルチプレクサが接続された第5加算部を設け、全グループの第4加算部の出力を第2加算部に入力し、全グループの第5加算部の出力を第1加算部に入力してあり、第4加算部は、各サンプル・ホールド回路の第1マルチプレクサの出力が接続された複数の第4キャパシタンスと、これら第4キャパシタンスの出力が統合されつつ接続された奇数段のMOSインバータよりなる第4反転増幅部と、この第4反転増幅部の出力を入力に接続する第4帰還キャパシタンスとを有し、第5加算部は、各サンプル・ホールド回路の第2マルチプレクサの出力および第1加算部の出力が接続された複数の第5キャパシタンスと、これら第5キャパシタンスの出力が統合されつつ接続された奇数段のMOSインバータよりなる第5反転増幅部と、この第5反転増幅部の出力を入力に接続する第5帰還キャパシタンスとがマッチドフィルタ回路に設けられたことを特徴とする請求項1記載のマッチドフィルタ回路。

【請求項6】

奇数段のMOSインバータよりなる第6反転増幅部と、この第6反転増幅部の出力を入力に接続する第6帰還キャパシタンスとを備えた基準電圧生成回路により基準電圧が生成されていることを特徴とする請求項1記載のマッチドフィルタ回路。

【請求項7】

反転増幅部は、出力とグランドとの間には接地キャパシタンスが接続され、最終段のMOSインバータより前段でMOSインバータの出力を1対の平衡レジスタンスによって電源およびグランドに接続してあることを特徴とする請求項4または6に記載されたマッチドフィルタ回路。

【請求項8】

基準電圧はMOSインバータの電源電圧の $1/2$ となるようにMOSインバータの□値が設定されていることを特徴とする請求項6記載のマッチドフィルタ回路。

【請求項9】

各サンプル・ホールド回路に対するコントロール回路の設定は、全てのサンプル・ホールド回路を循環するように切り換えられることを特徴とする請求項1記載のマッチドフィルタ回路。

【請求項10】

第1マルチプレクサは第1反転増幅部の出力または基準電圧を択一的に出力し、第2マルチプレクサは第1マルチプレクサとは逆の選択で第1反転増幅部出力または基準電圧を出力するようになっている請求項1記載のマッチドフィルタ回路。

【発明の詳細な説明】

【0001】レクサおよび第2マルチプレクサは、いずれか一方が第1反転増幅部出力を出力

【産業上の利用分野】本発明は、移動体通信や無線LAN等のためのスペクトラム拡散通信システムのためのマッチドフィルタ回路に係り、特に、小規模かつ省電力のLSIによる高速処理が可能なマッチドフィルタ回路に関する。

【0002】

【従来の技術】マッチドフィルタ（整合フィルタ）は、2つの信号の同一性を判定するためのフィルタであり、スペクトラム拡散方式の通信において、信号を受信すべ

$$R(t) = \sum_{i=0}^{M-1} PN(i) \cdot S(t - i \cdot T_c)$$

となる。なおPN(i)は1ビットデータのデータ列である。

【0004】同期捕捉のためにはダブルサンプリングあるいはより多くのサンプリングを行う必要があり、複数のマッチドフィルタを用い、上記式(1)の演算を複数系統で同時に実行しその演算結果を加算する。このようなマッチドフィルタ回路の実現のために従来はデジタル回路あるいはSAW（表面音波）素子を使用されていたが、デジタル回路では回路規模が大きくなって消費電力が大となり、移動体通信には適さず、一方SAW素子では1素子による全体回路実現が容易でなくまたS/N比が低いという問題があった。

【0005】そこで発明者等は、特願平7-212438号において、拡散符号が1ビットデータ列であることに注目し、入力信号を時系列のアナログ信号としてサンプル・ホールドした後、これをマルチプレクサによって「1」または「-1」の系列に分岐し、それぞれの系列信号を容量結合によって並列加算し、小規模かつ省電力のLSIによって高速処理を行うマッチドフィルタ回路を提案している。

【0006】しかしこのマッチドフィルタ回路においてロングコードのPN符号を処理しようとすると回路規模が大きくなるという問題があった。

【0007】

【発明が解決しようとする課題】本発明は提案発明のこのような問題点を解消すべく創案されたもので、ロングコードに対して小規模回路で対応し得るマッチドフィルタ回路を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明に係るマッチドフィルタ回路は、前記提案発明において、乗算のためのサンプルホールド回路をロングコードの1部の個数だけ設け、この個数に等しいPN符号を保持し得る第1乗数レジスタから並列にサンプルホールド回路に乗数入力を行い、このPN符号に続いて使用するPN符号があるときには、そのPN符号を、第1乗数レジスタと同一容量の第2乗数レジスタに格納し、所定のタイミングで第2乗数レジスタのPN符号を第1乗数レジスタに並列転送す

きユーザは受信信号を自らの拡散符号を用いたマッチドフィルタで処理し、その相関ピークを検出して、同期捕捉および保持を行う。

【0003】ここに拡散符号をPN(i)、チップ時間Tc、拡散率M、ある時刻(t)における入力信号をS(t)、ある時刻tにおける相関出力信号R(t)とすると、式(1)が得られる。

【数1】

(1)

るものである。そして第2乗数レジスタへのPN符号入力はシリアルに行われる。

【0009】

【実施例】次に本発明に係るマッチドフィルタ回路の1実施例を図面に基づいて説明する。

【0010】図1において、マッチドフィルタ回路MFには、第1乗数レジスタMREG1が接続され、マッチドフィルタはこの乗数レジスタに格納されたPN符号と入力信号S(t)とを乗算し、その乗算結果の総和を出力信号R(t)として出力する。MREG1は格納データを始端から終端まで（図の左端から右端まで）順次シフトさせるシフトレジスタであり、終端のデータは始端に帰還している。これによってPN符号の循環が可能とされ、1組の入力信号に対してPN符号を循環的に順次変更しつつ乗算が実行される。

【0011】MREG1には、そのデータエリアに対応したデータエリアを有する第2乗数レジスタMREG2が接続され、MREG2の各データを並列的にMREG1に転送し得るようになっている。MREG2にはその始端にシリアル入力が入力され、ここからPN符号がシリアル入力される。たとえば乗数レジスタにm個のPN符号を格納でき、そのn倍の長さのロングコードを使用する場合、まず1番目からm番目のPN符号をMREG2にシリアル入力し、シリアル入力完了後そのPN符号を並列にMREG1に転送する。そして1周期の乗算終了後前に第2回目のm個のPN符号をMREG2に入力しておき、乗算終了直後に新たなPN符号をMREG2からMREG1に転送する。図1ではi回目のMREG2へのPN符号入力における、j番目のPN符号をSPN(i, j)で示している。

【0012】MREG1、MREG2のデータ書込み、転送のタイミングは図10に示すとおりであり、入力信号S(t)に同期して、パラレル転送信号PTRANおよびシリアル転送信号STRANが生成されている。PTRANはMREG2からMREG1へのPN符号転送のタイミングを与え、STRANはMREG2へのPN符号シリアル入力のタイミングを与える。PTRANは通常マスクされて無効とされ、転送を要するときのみ

マスク除去信号MRが生成されてPTRANが有効となる。このためPTRANはm個の入力信号の最後(図10中「m」の符号で示す。)の入力信号の終端から所定期間中に生成され、サンプリングクロック等に基づいて容易に生成しうようになっている。マスク除去信号はPTRANのタイミングの前後の余裕を持った期間生成され確実にPTRANを有効とする。

【0013】STRANはサンプリングクロックと全く同一の信号であり、常に有効な信号として生成されている。MREG2へのSPN(i, j)入力はS(t)のデータの順序に同期して行われ、m番目のデータのサンプリングに同期してSPN(i, m)が入力される。そしてMREG2内のデータを一定に保持したいときには同一データをくり返し入力し、S(t)のデータ順序との対応関係を保持しつつ必要な全てのデータが格納されるようにする。

【0014】このようにマッチドフィルタ回路のタップ数を全PN符号の1部の個数とすればMFの回路規模はPN符号の長さに関係なく一定となり、回路規模の拡大を最小限に抑え得る。

【0015】図2において、マッチドフィルタ回路演算部MFは複数のサンプル・ホールド回路SH1、SH2、SH3、SH4、SH5、SH6に対して入力電圧Vin2を並列接続してなり、各サンプル・ホールド回路からH(ハイ)、L(ロー)の2系統の出力を生じる。サンプル・ホールド回路にはコントロール回路CTRLが接続され、順次いずれか1個のサンプル・ホールド回路にVin2が取り込まれるように制御を行う。

【0016】またサンプル・ホールド回路は、コントロール回路の制御に基づき、入力電圧Vin2をH側またはL側の一方に導き、他方には基準電圧Vrを接続する。この経路選択は入力信号に乗ずべき1ビット符号(PN符号)に対応して行われ、この段階で乗算が完了したことになる。

【0017】サンプル・ホールド回路SH1は、図3のように構成され、入力電圧Vin3はスイッチSWに接続されている。スイッチSWの出力はキャパシタンスC31に接続され、キャパシタンスC31の出力には3段の直列なMOSインバータI1、I2、I3が接続されている。最終段のMOSインバータI3の出力Vo3は帰還キャパシタンスC32を介してI1の入力に接続され、これによってVinが良好な線形性をもってI3の出力に生じるようになっている。I3の出力は2個のマルチプレクサMUX31、MUX32に入力され、またこれらマルチプレクサには共通な基準電圧Vrが接続されている。SWが閉成されると、C31はVin3に対応した電荷で充電され、I1~I3のフィードバック機能により出力の線形特性が保証される。そして、その後スイッチSWが開放されたときにサンプル・ホールド回路SH1はVin3を保持することになる。

【0018】スイッチSW、マルチプレクサMUX31、MUX32はコントロール信号S1、S2、S3によってコントロールされ、S1は一旦閉成された後、入力電圧を取り込むべき時点においてSWを開放する。S2、S3は反転した信号であり、一方のマルチプレクサがVin3を出力するときには、他方のマルチプレクサはVrを出力する。MUX31は前記H(ハイ)の系統の出力を生じ、MUX32はL(ロー)の系統の出力である。このH、Lは拡散符号の「1」、「-1」に対応しており、ある時点の入力電圧に符号「1」を乗ずるべきときには、MUX31からVinを出力し、「-1」を乗ずるべきときにはMUX32からVin3を出力する。

【0019】最終段のI3の出力は接地キャパシタンスC33を介してグラウンドに接続され、また第2段のI2の出力は1対の平衡レジスタンスR31、R32を介して電源電圧Vddおよびグラウンドに接続されている。このような構成により、フィードバック系を含む反転増幅回路の発振が防止されている。

【0020】図4に示すように、スイッチSWはn型MOSトランジスタのソース、ドレインをp型MOSトランジスタのドレイン、ソースとそれぞれ接続してなるトランジスタ回路T4よりなり、このトランジスタ回路のnMOSのドレイン側の端子に入力電圧Vin4を接続し、nMOSのソースの端子を同様の構成の

ミートラ
ンジスタDT4を介して出力端子Vout4に接続してなる。トランジスタ回路T4におけるnMOSトランジスタのゲートにはS1が入力され、pMOSトランジスタのゲートにはS1をインバータI4で反転した信号が入力されている。これによって、S1がハイレベルのときには、T4が導通し、ローレベルのときにはT4は遮断される。

【0021】図5に示すように、マルチプレクサMUX31はn型、p型の1対のMOSトランジスタのドレイン、ソースを相互に接続してなるトランジスタ回路T51、T52のnMOSのソース側の端子を共通出力端子Vout5に接続してなり、T51におけるnMOSのドレイン側の端子にはMOSインバータI3の出力Vo3(図中Vin51で示す。)を接続し、T52のドレインには基準電圧Vr(図中Vin52で示す。)が接続されている。トランジスタ回路T51におけるnMOSトランジスタのゲートおよびトランジスタ回路T52におけるpMOSトランジスタのゲートには信号S2が入力され、T51のpMOSおよびT52のnMOSのゲートにはS2をインバータI5で反転した信号が入力されている。これによって、S2がハイレベルのときには、T51が導通してT52は遮断され、ローレベルのときにはT52が導通してT51が遮断される。すなわちMUX31は、S2のコントロールによりVo3またはVrを択一的に出力し得る。

【0022】図示は省略するが、マルチプレクサMUX32はMUX31と同様に構成されV_{o3}とV_rの接続が逆転している。すなわち、V_rをT51に、V_{o3}をT52に接続した構成となっている。これによって、MUX32はMUX31と反対の出力、すなわちMUX31がV_{o3}を出力するときにはV_rを、MUX31がV_rを出力するときにはV_{o3}を出力する。

【0023】信号S2は拡散符号に対応し、S2=1のときに1×V_{in2}=V_{in2}をADD21に出力する。このときS3は-1であり、0に対応したV_rをADD22に出力する。一方、S2=-1のときには、0に対応したV_rをADD21に出力する。このとき、S3は+1であり、1×V_{in2}=V_{in2}をADD22に出力する。

【0024】前記式(1)のS(t-i·T_c)は各サンプル・ホールド回路で保持された電圧であり、PN(i)はその時点で各サンプル・ホールド回路に与えるべき信号S2(拡散符号)である。ある時点で保持された信号の順序に対して拡散符号は一定であり、新たな信号を取り込むタイミングでは最も古い信号に替えて新たな信号を取り込む。この際各サンプル・ホールド回路SH1～SH6とPN(i)の対応関係がずれることになり、コントロール回路はこれに応じたPN(i)のシフトを行う。このような符号供給のシフトを行わない場合には、サンプル・ホールド回路間でのデータ転送を行うことになり、データ転送に伴う誤差が発生することになる。すなわち、符号のシフトはデータ転送誤差を防止する上で有効である。

$$V_{out6} = \frac{C61V_{in61} + C62V_{in62} + C63V_{in63}}{C64} \quad (2)$$

となる。ここに、V_{in61}～V_{in63}およびV_{out6}は基準電圧V_rを基準とした電圧であり、また、キャパシタンスC61、C62、C63、C64の容量比

$$V_{out6} = \frac{V_{in61} + V_{in62} + V_{in63}}{3} \quad (3)$$

なる反転加算値の正規化出力が得られる。この正規化により、最大電圧が電源電圧を超えることが防止されている。

【0027】最終段のI63の出力は接地キャパシタンスC65を介してグラウンドに接続され、また第2段のI62の出力は1対の平衡レジスタンスR61、R62を介して電源電圧V_{dd}およびグラウンドに接続されている。このような構成により、フィードバック系を含む反転増幅回路の発振が防止されている。

【0028】図7に示すように、加算部ADD25は接続された加算部ADD21、ADD23の個数に対応し

$$V_{out7} = \frac{C71V_{in71} + C72V_{in72}}{C73} \quad (4)$$

となる。ここに、V_{in71}、V_{in72}およびV_{out7}は基準電圧V_rを基準とした電圧であり、またC7

【0025】式(1)における積算は、前記加算部ADD21～ADD26で実行され、各サンプル・ホールド回路の出力電圧V_H、V_LがADD25、ADD26においてそれぞれ積算されている。この積算は直接実行されず、サンプル・ホールド回路を複数のグループに分け、各グループごとに出力V_H、V_Lを一旦ADD21～ADD24で積算する。そしてV_Hを積算するADD21、ADD23の出力を全てADD25に入力し、V_Lを積算するADD22、ADD24の出力を全てADD26に入力する。さらにADD26にはADD25の出力も入力されている。ここに図2では6個のサンプル・ホールド回路が図示され、これを3個ずつのグループに分けているが、100～数100ビットあるいはさらに長いコードに対して、例えば128個等、適当な個数設けられる。

【0026】図6に示すように、加算部ADD1は1グループのサンプル・ホールド回路の個数に対応した個数のキャパシタンスC61、C62、C63よりなる容量結合CP6を有し、その出力は3段の直列なMOSインバータI61、I62、I63に接続されている。最終段のMOSインバータI3の出力は帰還キャパシタンスC64を介してI61の入力に接続され、これによってCP6の出力が良好な線形性をもってI63の出力に生じるようになっている。各キャパシタンスC61～C63の入力電圧をV_{in61}、V_{in62}、V_{in63}とすると、I63の出力V_{out6}は、

【数2】

は1対1対1対3に設定されている。これにより、
【数3】

た個数のキャパシタンスC71、C72よりなる容量結合CP7を有し、その出力は3段の直列なMOSインバータI71、I72、I73に接続されている。最終段のMOSインバータI73の出力は帰還キャパシタンスC73を介してI71の入力に接続され、これによってCP7の出力が良好な線形性をもってI73の出力に生じるようになっている。各キャパシタンスC71、C72の入力電圧をV_{in71}、V_{in72}とすると、I73の出力V_{out7}は、

【数4】

1、C72、C73の容量比は1対1対2に設定されている。これによって、

【数5】

$$V_{out7} = \frac{V_{in71} + V_{in72}}{2} \quad (5)$$

なる加算値の正規化出力が得られる。この正規化により、最大電圧が電源電圧を超えることが防止されている。

【0029】最終段のI73の出力は接地キャパシタンスC74を介してグランドに接続され、また第2段のI72の出力は1対の平衡レジスタンスR71、R72を介して電源電圧V_{dd}およびグランドに接続されている。このような構成により、フィードバック系を含む反転増幅回路の発振が防止されている。

【0030】図8に示すように、加算部ADD26は接続された3個のADD22、ADD24およびADD2

5に対応したキャパシタンスC81、C82、C83よりなる容量結合CP8を有し、その出力は3段の直列なMOSインバータI81、I82、I83に接続されている。最終段のMOSインバータI83の出力は帰還キャパシタンスC84を介してI81の入力に接続され、これによってCP8の出力が良好な線形性をもってI83の出力に生じるようになっている。各キャパシタンスC81～C83の入力電圧（V_rを基準とした電圧）をV_{in81}、V_{in82}、V_{in83}とすると、I83の出力V_{out8}（V_rを基準とした電圧）は、

【数6】

$$V_{out8} = \frac{C81V_{in81} + C82V_{in82} + C83V_{in83}}{C84} \quad (6)$$

となる。ここに、C81、C82、C83、C84の容量比は1対1対2対2に設定され、

$$V_{out8} = \frac{V_{in81} + V_{in82} + 2V_{in83}}{2} \quad (7)$$

【数7】

なる反転加算値の正規化出力が得られる。なお、C83の重みがC81、C82の2倍に設定されているのは、ADD25で正規化された影響を除去する（正規化されていないV81、V82と整合させる）ためである。以上の正規化により、最大電圧が電源電圧を超えることが防止されている。

【0031】最終段のI83の出力は接地キャパシタンスC85を介してグランドに接続され、また第2段のI82の出力は1対の平衡レジスタンスR81、R82を介して電源電圧V_{dd}およびグランドに接続されている。このような構成により、フィードバック系を含む反転増幅回路の発振が防止されている。

【0032】前記基準電圧V_rは、図9に示す基準電圧生成回路V_{ref}によって生成される。この基準電圧生成回路は3段の直列なインバータI91、I92、I93の最終段出力を初段入力に帰還させた回路であり、前記加算部と同様に接地キャパシタンスC95、平衡レジスタンスR91、R92による発振防止処理が施されている。基準電圧生成回路V_{ref}はその入出力電圧が等しくなる安定点に出力が収束し、各MOSインバータの□値設定により所望の基準電圧を生成し得る。一般には正負両方向に充分大きなダイナミックレンジを確保するために、V_r = V_{dd} / 2と設定されることが多い。ここにV_{dd}はMOSインバータの電源電圧である。

【0033】以上のマッチドフィルタ回路は容量結合によるアナログ加算を行うため、回路規模はデジタル処理の場合に比較して大幅に縮小され、また並列加算であるため処理速度は速い。さらにサンプル・ホールド回路や加算部は入出力が全て電圧信号であるため、電流消費は

わずかであり、消費電力が少ない。

【0034】なお加算部等の出力精度はMOSインバータの特性のばらつきや、キャパシタンス容量比で決定されるが、インバータに関しては相互に近接配置することによりばらつきを抑制し得る。またキャパシタンスに関しては、複数の単位キャパシタンス配列の中で分散的な接続により個々のキャパシタンスを構成することにより容量比の精度を高め得る。

【0035】前述のとおり、本発明に係るマッチドフィルタ回路は、乗算のためのサンプルホールド回路をロングコードの1部の個数だけ設け、この個数に等しいPN符号を保持し得る第1乗数レジスタから並列にサンプルホールド回路に乗数入力を行い、このPN符号に続いて使用するPN符号があるときには、そのPN符号を、第1乗数レジスタと同一容量の第2乗数レジスタに格納し、所定のタイミングで第2乗数レジスタのPN符号を第1乗数レジスタに並列転送し、さらに第2乗数レジスタへのPN符号入力はシリアルに行うので、ロングコードに対して小規模回路で対応し得るという優れた効果を有する。

【図面の簡単な説明】

【図1】本発明に係るマッチドフィルタ回路の1実施例を示すブロック図。

【図2】同実施例の個々のマッチドフィルタ回路の演算部部分を示すブロック図。

【図3】図2におけるサンプルホールド回路を示す回路図である。

【図4】図3におけるスイッチを示す回路図である。

【図5】図3におけるマルチプレクサを示す回路図であ

る。

【図6】図2における第1加算器を示す回路図である。

【図7】図2における第5加算器を示す回路図である。

【図8】図2における第6加算器を示す回路図である。

【図9】基準電圧を生成するための回路を示す回路図である。

【図10】図1における乗数レジスタと入力信号のタイミング関係を示すタイミング図である。

【符号の説明】

ADD21、ADD22、ADD23、ADD24、ADD25、ADD26

...

加算部

C31、C32、C33、C61、C62、C63、C64、C65、C71、C72、C73、C74、C81、C82、C83、C84、C85、C95

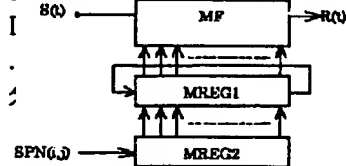
...

$fLffp/Vf^fX$

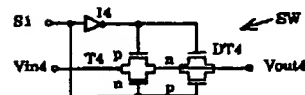
CTRL

【図1】

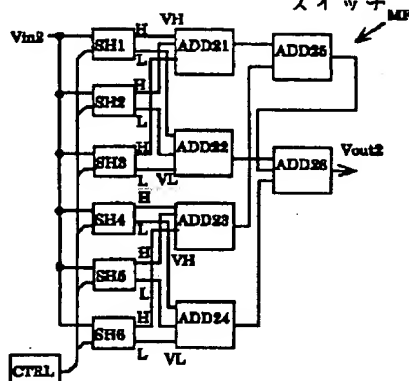
コントロール回路



【図4】



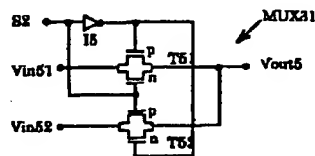
【図2】



出力電圧

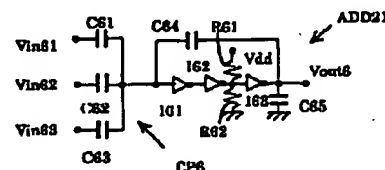
$S(t)$

【図5】

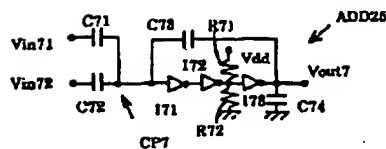


入力電圧。

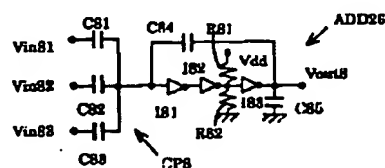
【図6】



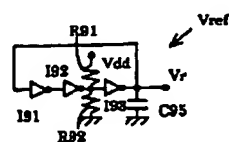
【図7】



【図8】



【図9】



I1、I2、I3、I61、I62、I63、I71、I72、I73、I81、I82、I83、I91、I92、I93

...

MOSインバータ

MF1、MF2

...

マッチドフィルタ回路演

算部

MUX1、MUX2

...

マルチプレクサ

SH1、SH2、SH3、SH4、SH5、SH6

DDDDDD $fTf^fVf<DEfz\Box f^fsh\%aH$

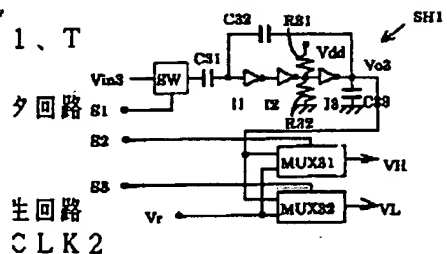
R31、R32、R61、R62、R71、R72、R81、R82、R91、R92

...

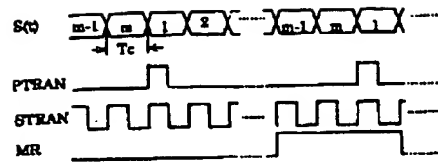
レジスタンス

SW

【図3】



【図10】



フロントページの続き

(72)

発明者
山本
誠

"E<□"s□"c"J<æ-k'ð,R□,T□|18'ε□R/fr<
Š"□@%□□D'ε□R"à

(72)

発明者
佐和橋
衛

"E<□"s□"æEÖ/m-ä"ñ's-Ú10"Ô,P□† /G/k·
/e/B□E/e/B"Ú"Θ'Ê□M-ÔŠ"□@%□□D"à

(72)

発明者
安達
文幸

"E<□"s□"æEÖ/m-ä"ñ's-Ú10"Ô,P□† /G/k·
/e/B□E/e/B"Ú"Θ'Ê□M-ÔŠ"□@%□□D"à

(72)

発明者
高取
直

"E<□"s□"c"J<æ-k'ð,R□,T□|18'ε□R/fr<
Š"□@%□□D'ε□R"à

This Page Blank (uspic)